

# 证 明

REC'D 13 MAR 2003

WIPO PCT

本证明之附件是向本局提交的下列专利申请副本

申 请 日: 2001 12 31

申 请 号: 01 1 30177.5

申 请 类 别: 发明

发明创造名称: 确立多机并联系统中主机的方法

申 请 人: 深圳安圣电气有限公司

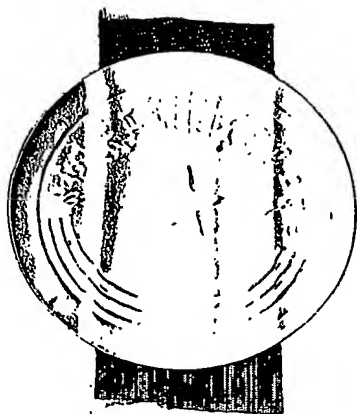
发明人或设计人: 周党生

**PRIORITY DOCUMENT**  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

中华人民共和国  
国家知识产权局局长

王 景 川

2003 年 2 月 17 日



## 权 利 要 求 书

---

1、一种在由并联的多个模块组成的并联系统中确立主机的方法，其特征在于，所述并联系统中的各模块分别具有不同编号，通过竞争总线连接，不同编号的模块具有不同的主机身份标识脉冲宽度 $T_s$ 和不同的主机身份解除脉冲宽度 $T_w$ ，各模块根据其编号向所述竞争总线发送相应的主机身份标识脉冲，同时从所述竞争总线上接收回馈脉冲，各模块通过比较所述回馈脉冲的宽度 $T_r$ 和自身的主机身份解除脉冲宽度 $T_w$ ，确定其中的一个模块为主机。

2、根据权利要求1所述方法，其特征在于，所述竞争总线是一根或逻辑的总线，所述各模块初始默认为从机，并包括各个模块向所述竞争总线发送无效的低电平步骤。

3、根据权利要求2所述方法，其特征在于，所述各模块向所述竞争总线发送主机身份标识脉冲来保证主机唯一，包括以下步骤：将未开启或已关闭的模块均置为从机，已开启的模块向所述竞争总线发送自己的主机身份标识脉冲并侦听来自所述竞争总线的回馈脉冲的宽度 $T_r$ ，若该回馈脉冲 $T_r$ 宽度小于自身的主机身份解除脉冲的宽度 $T_w$ ，则设置本模块为主机；若该回馈脉冲 $T_r$ 宽度大于自身主机身份解除脉冲的宽度 $T_w$ ，则设置自身为从机。

4、根据权利要求1所述方法，其特征在于，所述竞争总线包括第一竞争总线和第二竞争总线，所述各模块初始默认为从机，包括各个模块向所述竞争总线发送无效的低电平的步骤。

5、根据权利要求4所述方法，其特征在于，还包括为确保主机的存

在，各模块向所述第一竞争总线发送电平的步骤，包括：将未开启或已关闭的模块全部置为从机，由这些设为从机的模块向所述第一竞争总线上发送低电平，由设为主机的模块向所述第一竞争总线上发送高电平；由已开启的各模块侦听来自所述第一竞争总线的回馈电平，若该回馈电平为低，则设置本模块为主机；若该回馈电平为高，且本模块尚为从机，则维持本模块的从机地位；若该回馈电平为高，但本模块已确立为主机，则由各个模块执行各模块向所述第二竞争总线发送主机身份标识脉冲和主机身份解除脉冲来保证主机唯一的步骤。

6、根据权利要求5所述方法，其特征在于，所述由各个模块执行向第二竞争总线发送主机身份标识脉冲以保证主机唯一，包括以下步骤：由所述从机向所述第二竞争总线上发送低电平，主机根据其机器编号向所述第二竞争总线上发送周期性的主机身份标识脉冲；各模块侦听所述第二竞争总线的回馈脉冲，并实时记录其脉冲宽度 $T_r$ ；若已开启的各台模块侦听到所述第一竞争总线的回馈电平为高，且本模块已确立为主机，如果此时第二竞争总线上的回馈脉冲宽度 $T_r$ 小于本模块的主机身份解除脉冲宽度 $T_w$ ，则维持本模块的主机地位；否则解除本模块的主机地位，置为从机。

7、根据权利要求6所述方法，其特征在于，所述第一竞争总线、所述第二竞争总线为简单的或/与逻辑总线结构。

8、根据权利要求7所述方法，其特征在于，所述模块向所述第一竞争总线发送电平由与所述第一竞争总线关联的第一竞争逻辑实现，所述模块向所述第二竞争总线发送主机身份标识脉冲以及对所述第二竞争总线的侦听由与所述第二竞争总线关联的第二竞争逻辑实现，所述第一竞争逻辑和所述第二竞争逻辑可由触发器等数字电路实现，也可由微处

理器及可编程逻辑器件实现。

9、根据权利要求1-8中任何一项所述方法，其特征在于，所述模块的机器编号，对应一定的优先权，优先级较高的模块，其主机身份脉冲的宽度 $T_s$ 大于优先级低模块主机身份脉冲宽度 $T_s$ 的总和，大于优先级较低模块中任何一个的主机身份解除脉冲的宽度 $T_w$ ，对最高优先级以外的每个模块，其主机身份解除脉冲的宽度 $T_w$ 大于其主机身份标识脉冲的宽度 $T_s$ ，同时，其主机身份解除脉冲的宽度 $T_w$ 大于优先级较低模块的主机身份解除脉冲的宽度 $T_w$ 。

# 说明书

---

## 确立多机并联系统中主机的方法

### 技术领域

本发明涉及电源技术，具体涉及在多机并联系统尤其是由若干并联工作的模块（如逆变器）组成的并联系统中确立其中之一为主机的方法。

### 技术背景

在由并联的多个模块如逆变器组成的并联系统中，将其中各逆变器的交流输出并接在一起，共同为负载提供能量，以增大系统的容量或提高可靠性。为保持并联逆变器系统的可靠运行，各逆变器交流输出的幅度必须保持一致，相位也必须保持同步，否则彼此之间会产生较大的环流，进而导致各逆变器的过载或损坏。

在分散式并联逆变器系统中，为保证各逆变器之间的相位同步，需在各逆变器中选取某一台作为主机，其它逆变器均作为从机，主机控制整个并联逆变器系统输出电压的频率源，从机跟踪主机输出电压的相位。比如，在并联UPS系统中，当发生旁路掉电或异常时，各逆变器将失去共同跟踪源，这就需要通过区分主、从机的控制策略，确定一个唯一的主机，来保持系统中各逆变器的相位同步。

在这种分散控制策略中，对主机的要求是有且仅有一个，这是因为：倘若并联逆变器系统中无主机，各台逆变器均跟踪系统的输出相位，基本能维持各逆变器相位的同步，但整个并联逆变器系统处于自激振荡状态，最终系统的输出频率

会偏离其标称值；倘若并联逆变器系统中存在多个主机，各主机均会作为系统的频率源，基于各自的标称频率振荡器产生输出电压，由于各标称频率振荡器之间不可避免地存在分散性，无论初始状态相同与否，随着时间的推移，最终会在各逆变器的输出电压上形成严重的相位差，导致并联失败。此外，这里的主机也可用于并联逆变器系统的时序控制及开关周期同步等环节。

在上述相位同步策略中，为了保证主机的存在和唯一，目前，确立主机的方法主要有：

(1) 主机依靠人为设置，其缺点是不够灵活，在并联逆变器系统运行前，人为设置为主机的逆变器必须先开启，而且，当该逆变器出现故障时，剩余逆变器组成的并联逆变器系统在再次设置新的主机之前不能正常工作。

(2) 主机依靠各逆变器之间的网状并机信号线裁定，如图1所示，任何一台逆变器可检测和分辨其他各台逆变器的状态，其缺点在于各台逆变器101-104之间的并机信号线105呈网状分布，当逆变器数目较多时彼此之间连线会非常复杂。

(3) 主机依靠设在各逆变器之间的串行通讯上的通讯进行裁定，如图2。各个逆变器201-204之间采用的通讯线205可以是RS485、CAN总线等，其缺点在于实时性和可靠性不足。

除并联逆变器系统之外，并联的整流器系统、主从式通信系统如RS485，都存在在类似的须确立主机的问题。

## 发明内容

本发明要解决的技术问题是为采用分散控制策略的多模块系统中提供一种在并联模块系统中确立主机的方法，可以克服现有技术在确立主机方面存在的结构复杂、不灵活、可靠性低、连线复杂、实时性差等不足。

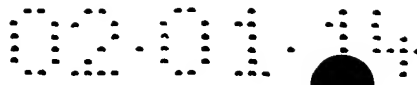
本发明上述技术问题这样解决，构造一种在由并联的多个模块组成的系统中确立主机的方法，其特征在于，所述并联系统中的各模块分别具有不同编号，通过竞争总线连接，不同编号的模块具有不同的主机身份标识脉冲宽度 $T_s$ 和不同的主机身份解除脉冲宽度 $T_w$ ，各模块根据其编号向所述竞争总线发送相应的主机身份标识脉冲，同时从所述竞争总线上接收回馈脉冲，各模块通过比较所述回馈脉冲的宽度 $T_r$ 和自身的主机身份解除脉冲宽度 $T_w$ ，确定其中的一个模块为主机。

在上述按照本发明提供的主机确立方法中，所述竞争总线是一根或逻辑的总线，所述各模块初始默认为从机，包括各个模块向所述竞争总线发送无效的低电平步骤。

在上述按照本发明提供的主机确立方法中，所述各模块向所述竞争总线发送主机身份标识脉冲和主机身份解除脉冲来保证主机唯一，包括以下步骤：将未开启或已关闭的模块均置为从机，由从机向所述竞争总线上发送低电平，已开启的模块向所述竞争总线发送自己的主机身份标识脉冲并侦听来自所述竞争总线的回馈脉冲的宽度 $T_r$ ，若该回馈脉冲 $T_r$ 宽度小于自身的主机身份解除脉冲的宽度 $T_w$ ，则设置本模块为主机；若该回馈脉冲 $T_r$ 宽度大于自身主机身份解除脉冲的宽度 $T_w$ ，则设置自身为从机。

在上述按照本发明提供的主机确立方法中，所述竞争总线包括第一竞争总线和第二竞争总线，所述各模块初始默认为从机，包括各个模块向所述竞争总线发送无效的低电平的步骤。

在上述按照本发明提供的主机确立方法中，还包括为确保主机的存在各模块向所述第一和第二竞争总线发送电平的步骤，包括：将未开启或已关闭的模块全部置为从机，由这些设为从机的模块向所述第一竞争总线上发送低电平，由设为主机的模块向所述第一竞争总线上发送高电平；由已开启的各模块侦听来自所述



第一竞争总线的回馈电平，若该回馈电平为低，则设置本模块为主机；若该回馈电平为高，且本模块尚为从机，则维持本模块的从机地位；若该回馈电平为高，但本模块已确立为主机，则由各个模块执行各模块向所述第二竞争总线发送主机身份标识脉冲和主机身份解除脉冲来保证主机唯一的步骤。

在上述按照本发明提供的主机确立方法中，所述由各个模块执行向第二竞争总线发送主机身份标识脉冲和主机身份解除脉冲以保证主机唯一，包括以下步骤：由所述从机向所述第二竞争总线上发送低电平，主机根据其机器编号向所述第二竞争总线上发送周期性的主机身份标识脉冲；各模块侦听所述第二竞争总线的回馈脉冲，并实时记录其脉冲宽度 $T_r$ ；若已开启的各台模块侦听到所述第一竞争总线的回馈电平为高，且本模块已确立为主机，如果此时第二竞争总线上的回馈脉冲宽度 $T_r$ 小于本模块的主机身份解除脉冲宽度 $T_w$ ，则维持本模块的主机地位；否则解除本模块的主机地位，置为从机。

在上述按照本发明提供的主机确立方法中，所述第一竞争总线、所述第二竞争总线为简单的或/与逻辑总线结构。

在上述按照本发明提供的主机确立方法中，所述模块向所述第一竞争总线发送电平由与所述第一竞争总线关联的第一竞争逻辑实现，所述模块向所述第二竞争总线发送主机身份标识和解除脉冲以及对所述第二竞争总线的侦听由与所述第二竞争总线关联的第二竞争逻辑实现，所述第一竞争逻辑和所述第二竞争逻辑可由触发器等数字电路实现，也可由微处理器及可编程逻辑器件实现。

在上述按照本发明提供的主机确立方法中，所述模块的机器编号，对应一定的优先权，优先级较高的模块，其主机身份脉冲的宽度 $T_s$ 大于优先级低模块主机身份脉冲宽度 $T_s$ 的总和，大于优先级较低模块中任何一个的主机身份解除脉冲的宽度 $T_w$ ，对最高优先级以外的每个模块，其主机身份解除脉冲的宽度 $T_w$ 大于其



主机身份标识脉冲的宽度 $T_s$ ，同时，其主机身份解除脉冲的宽度 $T_w$ 大于优先级较低模块的主机身份解除脉冲的宽度 $T_w$ 。

在上述按照本发明提供的主机确立方法中，被确立为主机的模块可在一定条件下控制整个并联模块系统输出电压的频率源，被确立为主机以外的所述从机跟踪所述主机输出电压的相位。

实施本发明提供的在多机并联系统中确立主机的方法，能较好地在并联模块系统中实现上述第3种分散控制的相位同步策略。本发明提供这种主机确立多机并联系统中主机的方法体现为一种新颖、简洁的主从竞争总线，可充分保证并联系统正常工作时有且仅有一个模块作为主机。在采用这种主从竞争的并联模块系统中，各台模块具有不同的机器编号，而且彼此之间设置了多芯并机信号总线。这种多芯并机信号总线与网状并机信号线不同，连线较为简洁，而且可连接成环形，以提供冗余度。和现有主机确立技术相比，结构简单、配置和调整灵活、有较高的可靠性和实时性。

## 附图说明

图1是现有技术采用主从分散控制策略的并联模块系统中，利用网状并机信号线的主机裁定原理示意图；

图2是现有技术采用主从分散控制策略的并联模块系统中，利用模块之间串行通信线裁定主机的示意图；

图3为本发明提出的并联模块系统中确立主机的原理示意图；

图4为本发明采用的竞争总线的原理示意图；

图5为本发明另一实施例采用的竞争总线的原理示意图；

图6为说明两个主机身份标识脉冲的关系示意图；

图7为本发明第三实施例采用的单一竞争总线的原理示意图。

如图3所示，本发明方法基于连接模块301、302、303和304的多芯并机信号总线305。为实现本发明提出的主机确立方法，依赖于主从竞争总线以及与之关联的主从竞争逻辑。

### 第一实施例

作为实施例一，主从竞争总线由图3示出的多芯并机信号总线305（图3）中的两根或逻辑的总线构成，可分别称为第一竞争总线401和第二竞争总线402，如图4所示。主从竞争逻辑隐含于各台模块的控制逻辑之中，可分为第一竞争逻辑和第二竞争逻辑，分别对应于图4中的第一竞争总线401和第二竞争总线402。

结合图5，在该第一实施例中一个由四台模块组成的并联模块的系统中，为说明主从竞争装置的工作原理，具体说明其主机确立过程如下：

（1）初始状态：各模块的初始状态均默认为从机，而且均向第一竞争总线和第二竞争总线501发送无效的低电平。

（2）第一竞争逻辑：

A、未开启（或已关闭的）模块一律置为从机；

B、从机朝第一竞争总线上发送低电平，主机朝第一竞争总线上发送高电平；

C、已开启的各台模块侦听第一竞争总线的回馈电平，若该回馈电平为低，则置本模块为主机；若该回馈电平为高，且本模块尚为从机，则维持从机地位；若该回馈电平为高，但本模块已立为主机，则需按第二竞争逻辑作进一步的处理。

（3）第二竞争逻辑：

由前所述，并联模块系统中的各台模块均具有不同的机器编号，对应于该机器编号，各台模块均可设置两类特征脉冲——主机身份标识脉冲和主机身份解除脉冲，其宽度分别为 $T_s$ 和 $T_w$ ，二者的脉冲周期均为 $T$ ，其作用说明如下：

A、从机一律朝第二竞争总线上发送低电平，主机根据其机器编号朝第二竞争总



线上发送周期性的主机身份标识脉冲;

B、各模块侦听第二竞争总线的回馈脉冲,并实时记录其脉冲宽度 $T_r$ ;

C、如(2)B中所述,若已开启的各台模块侦听到第一竞争总线的回馈电平为高,且本模块已立为主机,如果此时第二竞争总线上的回馈脉冲宽度 $T_r$ 小于本模块的主机身份解除脉冲宽度,则维持本模块的主机地位;否则表明系统中出现了多个主机,而且存在在机器编号上较本模块更优先的主机,故解除本模块的主机地位,置为从机。

上述第一竞争逻辑和第二竞争逻辑相辅相成,往复循环,从功能上讲则各有侧重:

第一竞争逻辑用于保证主机的存在性。任何时刻,只要并联系统中尚无主机,开启的模块就会通过第一竞争总线发现这一情况,并立自己为主机。但是,可能发生这样的情况,如果若干台模块同时开启,同时竞争主机,由于在第一竞争总线上发送和接受电平信号的延时,可能发生竞争冒险,从而出现多个主机。尽管这种可能性极小,但考虑到存在多个主机对并联系统的危害,仍需采取其他措施进行解除。

第二竞争逻辑用于保证主机的唯一性。当并联模块系统中出现多个主机时,所有主机均向第二竞争总线上发送对应于对应主机身份标识脉冲,根据第二竞争总线上的回馈脉冲宽度将使得在机器编号上优先级较低的模块的主机地位得以解除。

为保证上述主从竞争装置的可靠运行,所述主机身份标识脉冲和主机身份解除脉冲的宽度确定需满足一定的规则。以四台模块组成的并联模块系统为例,各台模块的编号分别为1、2、3、4号,设1号机具有最高的优先级,则可将各模块的主机身份标识脉冲和主机身份解除脉冲宽度设置如下表(本表仅为一个实例,



上述脉冲宽度可有多种选取办法，其中主机身份标识脉冲的周期T设为50个定时单位）：

机器编号	1	2	3	4
主机身份标识脉冲宽度 Ts	50	24	12	0
主机身份解除脉冲宽度 Tw	无	44	18	6

各模块的主机身份标识脉冲宽度Ts的设置原则是：

$50 > Ts_1 > Ts_2 + Ts_3 + Ts_4$ ;  $Ts_2 > Ts_3 + Ts_4$ ;  $Ts_3 > Ts_4$ ; 而且，最好使得上述各项数值之间的间隔尽量均匀，以增强抗干扰性能。

各模块的主机身份解除脉冲宽度Tw的设置原则是： $Tw_2 > Ts_2 + Ts_3 + Ts_4$ ;  $Tw_3 > Ts_3 + Ts_4$ ;  $Tw_4 > Ts_4$ ; 而且，最好使得上述各项数值之间的间隔尽量均匀，以增强抗干扰性能。

主机身份标识脉冲宽度Ts和主机身份解除脉冲宽度Tw的设置原则是基于这样的考虑：当多台模块同时朝第二竞争总线上发送主机身份标识脉冲时，因为各脉冲之间不存在固定的同步关系，故各脉冲可能处于完全重叠，完全错开或部分重叠的状态，如图6所示。其中，图6 (a)为完全重叠状态，图6(b)为完全错开的情形。

比如，当2，3，4号主机同时立为主机时，需要解除主机地位的是3号机和4号机，而2号机则需保留其主机地位。此时，2、3、4号机朝第二竞争总线上发

送的主机身份标识脉冲的宽度分别为24、12、0；第二竞争总线上的回馈脉冲的宽度 $T_r$ 将处于24（完全重叠）至36（完全错开）之间，根据第二竞争逻辑，将有如下结果：

2号机：  $T_r < T_{w2}$ （44），维持主机地位；

3号机：  $T_r > T_{w3}$ （18），解除主机地位；

4号机：  $T_r > T_{w4}$ （6），解除主机地位；

可以看出，这种逻辑裁判结果与我们确立主机的目标是相符的。类似地，当出现其他组合形式的主机竞争冒险时，同样可以可靠地进行裁判。

在上述实施例中，主机的竞争时间近似为0，而出现多个主机时的解除时间约为50个定时单位。

## 第二实施例

作为实施例二，上述主从竞争总线可仅由上述多芯并机信号总线中的一根或逻辑的总线构成，此时的主从竞争逻辑如下：

（1）初始状态：各台模块的初始状态均默认为从机，而且均朝主从竞争总线发送无效的低电平。

（2）主从竞争逻辑：

同实施例一，对应于其机器编号，各台模块均可设置两类特征脉冲——主机身份标识脉冲和主机身份解除脉冲，其宽度分别为 $T_s$ 和 $T_w$ ，二者的脉冲周期均为 $T$ 。另外，还需设置一个固定的主机存在脉冲宽度 $T_k$ ，表征并联系统中已经存在主机。

a、未开启（或已关闭的）模块一律置为从机；

b、从机朝主从竞争总线上发送低电平，主机根据其机器编号朝主从竞争总线上发送周期性的主机身份标识脉冲；

- b、各台模块不断地以T为周期检测主从竞争总线的回馈脉冲的宽度 $T_r$ ;
- c、已开启的各台模块,若发现上述回馈脉冲的宽度 $T_r \leq T_k$ ,则置本模块为主机; 若发现上述回馈脉冲的宽度 $T_r > T_k$ ,且本模块尚为从机,则维持本模块的从机地位; 若发现上述回馈脉冲的宽度  $T_r > T_k$ , 且本模块已为主机,如果 $T_r < T_w$ , 则维持本模块的主机地位; 否则表明系统中出现了多个主机, 而且存在在机器编号上较本模块更优先的主机, 故解除本模块的主机地位, 置为从机。

实施例二中这种主从竞争装置同样可保证主机的存在性和唯一性, 只是此时各台模块的主机身份标识脉冲 $T_s$ 均必须大于 $T_k$  ( $T_k > 0$ )。以上述四台模块组成的并联模块系统为例, 可将各模块的主机身份标识脉冲和主机身份解除脉冲宽度设置如下表(本表仅为选取上述脉冲宽度的一个实例, 其中  $T$  设为50个定时单位,  $T_k$  设为3 个定时单位):

机器编号	1	2	3	4
主机身份标识脉冲宽度 $T_s$	50	24	12	5
主机身份解除脉冲宽度 $T_w$	无	46	20	8

各模块的主机身份标识脉冲宽度 $T_s$ 的设置原则是:

$50 \geq T_{s1} > T_{s2} + T_{s3} + T_{s4}; \quad T_{s2} > T_{s3} + T_{s4}; \quad T_{s3} > T_{s4}; T_{s4} > T_k$ ; 而且, 最好使得上述各项数值之间的间隔尽量均匀, 以增强抗干扰性能。

各模块的主机身份解除脉冲宽度 $T_w$ 的设置原则是:  $T_{w2} > T_{s2} + T_{s3} + T_{s4}$ ;

$Tw_3 > Ts_3 + Ts_4$ ;  $Tw_4 > Ts_4$ ; 而且, 最好使得上述各项数值之间的间隔尽量均匀, 以增强抗干扰性能。

同样, 上述主机身份标识脉冲宽度 $T_s$ 和主机身份解除脉冲宽度 $T_w$ 的设置原则已考虑了各台模块同时朝主从竞争总线上发送主机身份标识脉冲时各脉冲之间可能出现的各种重叠状态。 实施例二中主机的竞争时间的最大值及出现多主机时的解除时间均约为50个定时单位。

### 实施例三

上述实施例一和实施例二中, 主从竞争逻辑均被分为竞争和解除两个阶段, 分别用于保证主机的存在性和唯一性。

在实施例三中, 上述竞争和解除阶段被合并为一个过程, 该过程本身已同时保证了主机的存在性和唯一性。

这里, 主从竞争总线可仅由上述多芯并机信号总线中的一根或逻辑的总线构成, 如图7所示, 此时的主从竞争逻辑如下:

- (1) 初始状态: 各台模块的初始状态均默认为从机。
- (2) 主从竞争逻辑:

类似地, 对应于其机器编号, 各台模块均可设置两类特征脉冲——机器身份标识脉冲和主机身份解除脉冲, 其宽度分别为 $T_s$ 和 $T_w$ , 二者的脉冲周期均为 $T$ 。

- a、未开启的模块朝主从竞争总线发无效的低电平, 且一律置为从机;
- b、已开启的各模块朝主从竞争总线上发送自己的身份标识脉冲;
- c、已开启的各模块同时以 $T$ 为周期不断侦听主从竞争总线上的反馈脉冲的宽度 $T_r$ , 若反馈脉冲 $T_r$ 在自身 $T_w$ 范围内, 则确立自身为主机; 如果反馈脉冲 $T_r$ 超出自身 $T_w$ 范围, 则置自身为从机。

为保证上述主从竞争装置的可靠运行,所述机器身份标识脉冲和主机身份解除脉冲的宽度确定需满足一定的规则。以四台模块组成的并联模块系统为例,各台模块的编号分别为1、2、3、4号,设1号机具有最高的优先级,则可将各模块的机器身份标识脉冲和主机身份解除脉冲宽度设置如下表(本表仅为一个实例,上述脉冲宽度可有多种选取办法,其中脉冲周期T 设为50个定时单位):

机器编号	1	2	3	4
机器身份标识脉冲宽度 Ts	48	24	12	4
主机身份解除脉冲宽度 Tw	52	44	20	8

各模块的机器身份标识脉冲宽度Ts的设置原则是:

$Ts1 > Ts2 + Ts3 + Ts4$ ;  $Ts2 > Ts3 + Ts4$ ;  $Ts3 > Ts4$ ; 而且,最好使得上述各项数值之间的间隔尽量均匀,以增强抗干扰性能。

各模块的主机身份解除脉冲宽度Tw的设置原则是:  $Tw1 > Ts1+Ts2+Ts3+ Ts4$ ;  $Ts1>Tw2 > Ts2 + Ts3 + Ts4$ ;  $Ts2> Tw3 > Ts3 + Ts4$ ;  $Ts3>Tw4 > Ts4$ ;而且,最好使得上述各项数值之间的间隔尽量均匀,以增强抗干扰性能。

这里,机器身份标识脉冲宽度Ts和主机身份解除脉冲宽度Tw的设置同样考虑了当多台模块同时朝上述竞争总线上发送机器身份标识脉冲时各脉冲之间可能出现的完全重叠,完全错开或部分重叠的状态。实施例三中,竞争时间的最大值及出现多主机时的解除时间均约为50个定时单位,不同的是,当后开启的模块的



编号优先级较高时，会抢夺先开启但编号优先级较低的模块的主机地位。

本发明提出的主从竞争装置可由触发器等数字电路实现，也可由可编程逻辑器件及微处理器实现，其中的主从竞争总线可为简单的或是变形的或逻辑结构，也可以负逻辑的方式表现为与逻辑。

本发明提出的所述主从竞争装置的应用并不局限于并联模块系统中，还可扩展到其他分散式的并联系统中。所述并联模块系统的各模块，其特征在于其输出均连接在一起，比如并联UPS系统中的各模块；所述主机可在一定条件下控制整个并联模块系统输出电压的频率源，所述从机跟踪主机输出电压的相位，主机还可用于并联模块系统的时序控制及开关周期同步等方面。

说明书附图

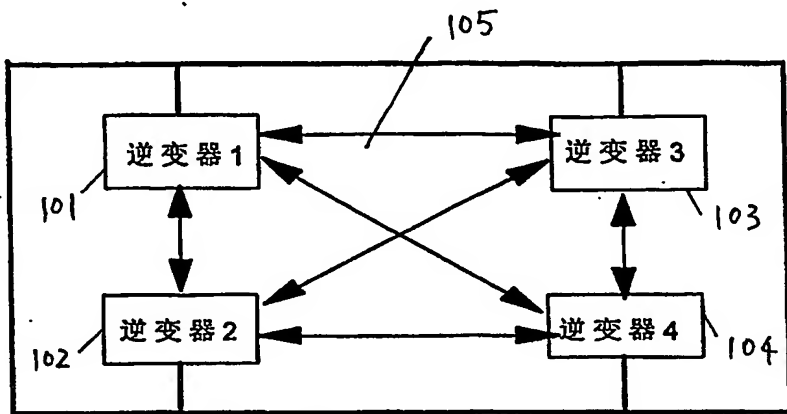


图 1

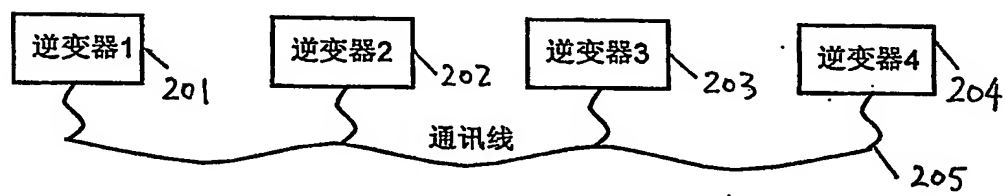


图 2

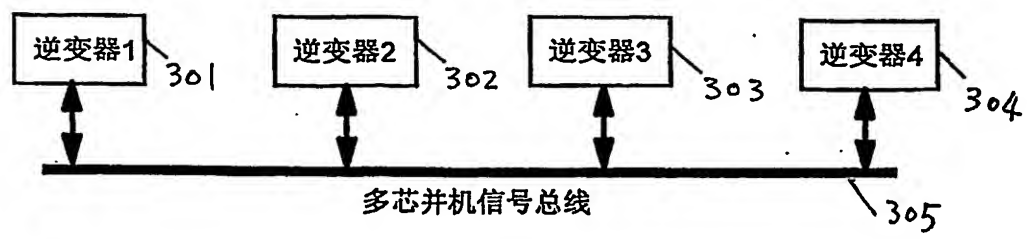


图 3

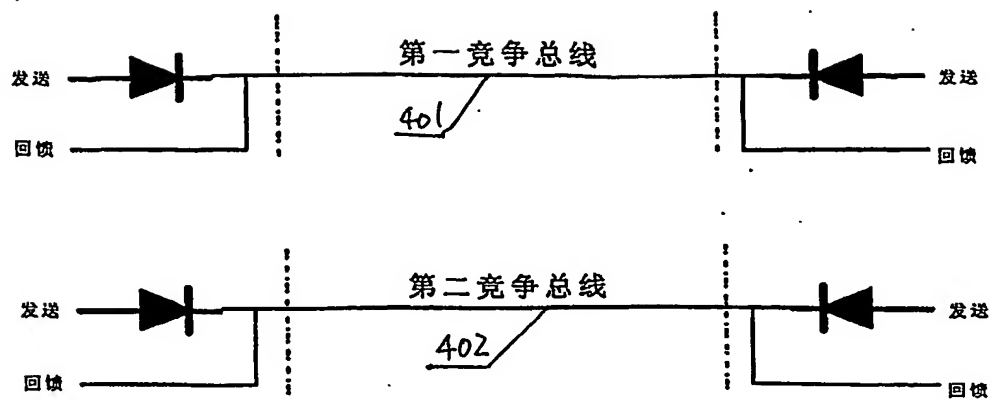


图4

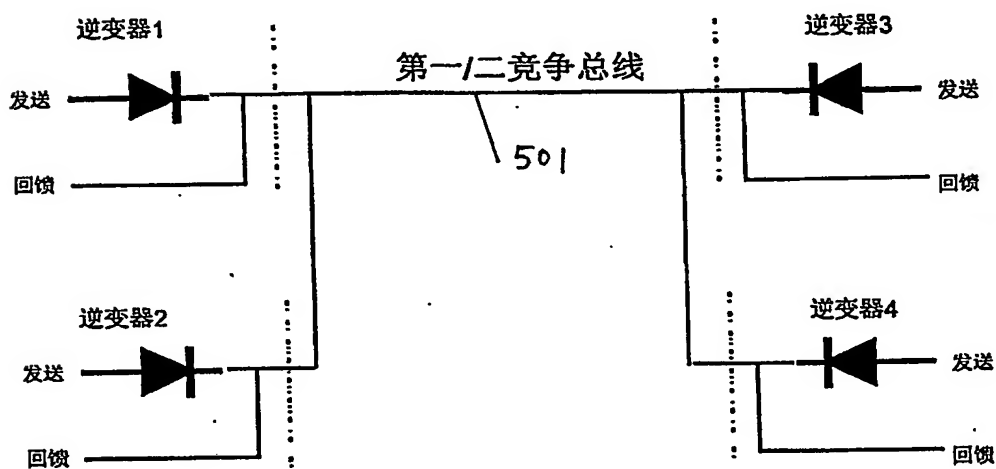


图5

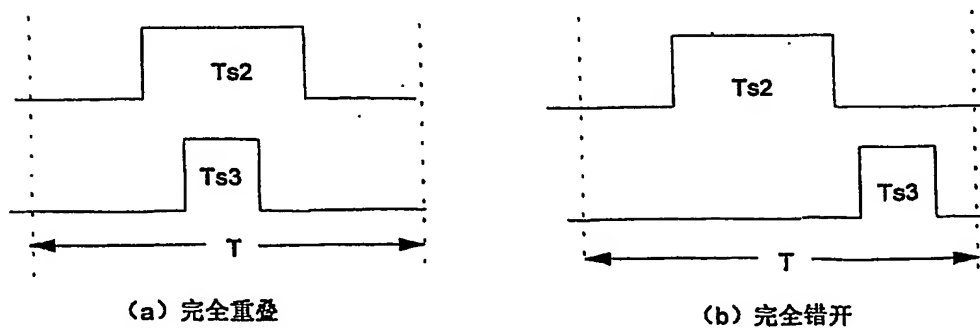


图6

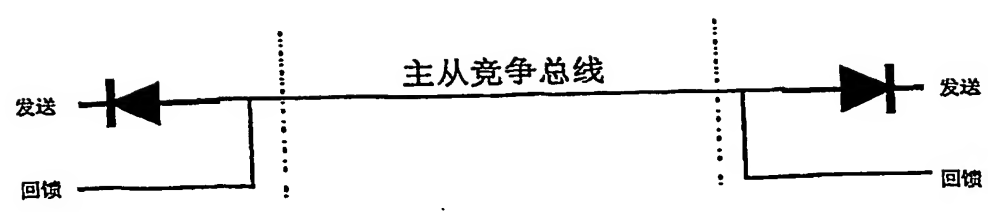


图 7